



特 許 願 (6)

(1,000円)

特許庁長官 審 査 官 英 敏 敏

1. 発明の名称

フアクトレリ受信方式

2. 発 明 者

東京都品川区東品川1番地
東京芝浦電気株式会社 代表取締役 三 島 五 郎

3. 特許出願人

(注記あり)

住所 東京都品川区東品川1番地 第17番ビル
電話 (03) 3181-1181 (代) 30
代表取締役 三 島 五 郎

4. 代 理 人

住所 東京都品川区東品川1番地 第17番ビル
電話 (03) 3181-1181 (代) 30
代表取締役 三 島 五 郎

① 日本国特許庁
公開特許公報

①特開昭 51-35215

②公開日 昭51 (1976) 3.25

③特願昭 49-168127

④出願日 昭49 (1974) 9.20

審査請求 未請求 (全4頁)

庁内整理番号

⑤日本分類

H04N 1/00

⑥Int. Cl.

H04N 1/00

1. 発明の名称

フアクトレリ受信方式

2. 特許請求の範囲

前記した本の特許請求の範囲における発明は、
本発明の発明者による同一タイミングと
なるものには、記録部もしくは記録部をとり、これ
ら記録部に書き記す本の特許請求の範囲の
部分に記録をなすようにしたことを特徴とするフ
アクトレリ受信方式。

3. 発明の詳細な説明

本発明は、発明者の発明部分を含めて、記録を
なすフアクトレリ受信方式に関する。

フアクトレリ受信方式において、記録部は、
記録部が長く、記録部の大ささがそれに比し小
い場合等は、記録部を生じた記録部の発明者に
白部分が生じて、所定スグレ現象となる。この
スグレ現象は、記録部を低下させるので、文字等の
場合には、読み取りにくいものとなる。

特にマルタスタイプ方式を採用した受信機

で、スグレ現象のアイソレーションを確
保するためには、スグレ現象を現して、記録部
を具化するが、この場合、記録部が小さくなる
ので、上述したスグレ現象が不可避の問題として
現われる。

このスグレ現象を改善するため、フアクト
レリ受信機を一定速度に記録して、
一定速度範囲内に記録された信号を高速度
で読み取り、記録部を現し、記録部方向に同一
方向の信号を記録した記録部だけ記録する方式が
採用されている。この方式によれば、記録部の
記録部を現して、記録部を上げ、スグレ現象の
発生を防止することはできる。

しかしながら、本の特許請求の範囲には、一方の
記録部が記録されるわけであるから、発生された
記録部に不自然な現象が生じることは否めない。

そこで、本発明では、記録部を一定速度に
記録して、記録部を現し、記録部を上げ、スグレ
現象を防止することであるフアクトレリ受信方式
を提供する。

特開 昭51-36215の

以下図面を参照して本発明の実施例を説明する。第1図は合流型変換器されたフライング型変換器を一定速度に動作し、前後する変換器間で定常方向に同一タイミングとなる変換信号の発生装置と、この発生装置で上記動作する変換器間を制御するようにしたフライング型変換器の要部を示すブロック図である。同図において、A、B、Cはそれぞれ一定速度の発生信号を生成するラインメモリであり、これらラインメモリA、B、Cへは切替器1、2、3を介してそれぞれ2番目、3番目、4番目の定常情報が入力されるものとなっている。

そして各ラインメモリA、B、Cは各通入情報をもつラインメモリが生成する本の変換信号を各通入している間に各通入速度の1倍の速度で出力すると共に切替器1、2、3を介して逐次的に各通入のものをとっている。

従つて一つのラインメモリは一定速度情報に対し、期間で各通入動作をなし、後続する周

期との間に1倍の速度で動作し動作を行なうこととなる。

そのため各ラインメモリA、B、Cへは切替器1、2、3を介して逐次的に二つのクロック信号CP、およびCP'が供給される。ここでCP、の周波数をCP'、に同じ倍に定めておく。

アンド回路7、8、9はそれぞれラインメモリAおよびB、ラインメモリBおよびC、ラインメモリCおよびAに記憶された本の変換信号を一定速度方向に同一タイミングとなるように供給するものである。選択回路10はラインメモリA、B、Cの出力およびアンド回路7、8、9の出力を所定の時間パターンに従つて逐次的に出力し、切替器4に記憶手段へ供給するものである。

尚、切替器1、2、3および切替器4、5、6は第2図(a)(b)に示す制御信号1、2、3が供給されるようにしている。

上記のように構成された装置の動作を第2図

第2図を参照して説明する。

まず切替器1に切替信号1および2を切替えて第2図にクロック信号CP、で、2番目の定常情報A、をラインメモリAに入力する。そして後続する期間では切替器1および2を切替えて、クロック信号CP、で情報A、をもつラインメモリA内で逐次的に記憶し、出力動作を行なう。そしてこの期間終了後にCP'に切替る。2番目の定常情報B、に入力して内容を消去する。

この間に、つぎラインメモリBが前周期Tに記憶内容を記憶している間に、その期間Tの前半で切替信号1に切替ラインメモリBに3番目の定常情報B、が、また期間Tの後半で切替信号2に切替ラインメモリCに4番目の定常情報C、が記憶されている。そしてラインメモリB、Cに記憶された情報はラインメモリAと同様にクロック信号CP、で4回逐次される。

従つて第2図に示すように、各ラインメモリ

A、B、Cの出力は逐次的に前周期Tにそれぞれ同一内容の情報をT/3期間で逐次的に出力したものと等しい。そのため例えばラインメモリAの内容とラインメモリBの内容とはラインメモリAの逐次期間Tの後半つぎラインメモリBの逐次期間Tの前半にアンド回路7で記憶される。

そこで選択回路10により周波数T/3で逐次ラインメモリAの出力、アンド回路7の出力、ラインメモリBの出力という順序で信号を抽出し、第2図(b)に示すように時系列に配列して記憶手段へ供給する。

このことにより第2図(b)に示すように前後する3本の定常情報A、B、Cの各通入の間の期間部分には、上記定常情報A、およびB、の発生装置であるA、X1、をもつ信号が記憶される。

ことに記憶されたA、X1、をもつ信号は一方の定常情報A、のみならず、それと相対関係にある他方の定常情報B、をも考慮したもの

であるから再生された画像は自然さを保ち且つ
ステレオ画像のない品質の良野をもつものとなる。

尚、上記実施例におけるアンダゲートアース、
リブアゲートとすれば本発明の発明範囲を、
および、からA、+B、なる信号を得ること
が、これにおいて二本の走査線を並べれば
第8図(d)に示すように記録画素を増加させる
ことができる。

また上記実施例では二本の走査線間に物理的
もしくは論理的な差づく信号を1図記録する場合
につき例示したが、両図間の信号の相違を
ノット信号の周波数を倍増する期間のノット信
号に比し2倍、4倍とすることにより記録画素を
2倍、4倍と増加させることができる。

さらに前記する二本の走査線間で走査方
向に同一タイミングとなる単一の画素信号の出
ればかりでなく、複数の画素信号間を逐次
的に比較し、その比較結果に基づいてその間に記
録すべき信号を決定することも可能である。

4. 図面の簡単な説明

第1図は本発明の一実施例を説明するために
用いたフランクシグナル受像装置の要部を示すブ
ロック図、第2図は上記受像装置の動作を説明す
るための信号波形図、第3図は再生された画像
の一例を示す図である。

A、B、C—ラインメモリ、D—遅延回路、
1〜6—切換器、7、8、9—アンド回路。

出願人代理人 弁理士 鈴木 武 彦

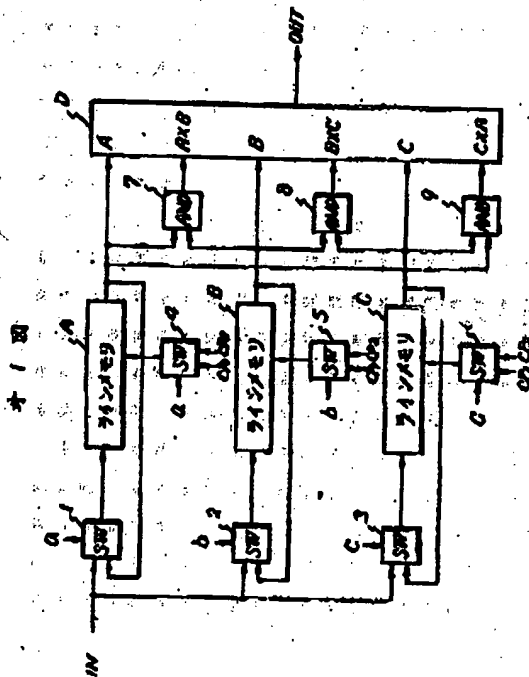


図 1

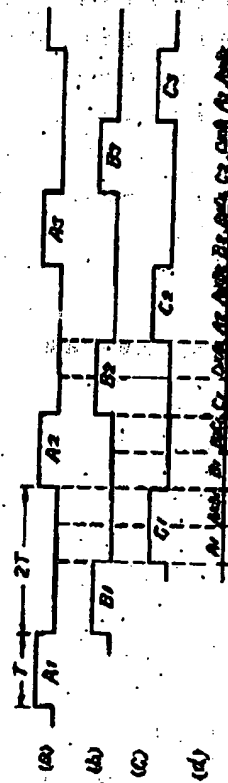
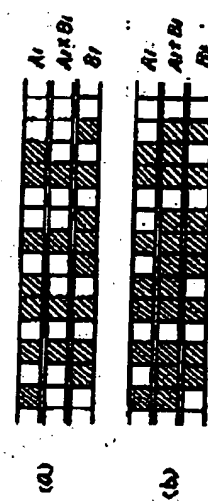


図 2





特開 昭51-35215 (4)

5. 添付書類の目録

- | | |
|---------|----|
| (1) 委任状 | 1通 |
| (2) 領収書 | 1通 |
| (3) 領収書 | 1通 |
| (4) 領収書 | 1通 |

6. 前記以外の発明者、特許出願人または代理人

(1) 発 明 者

神奈川県川崎市幸区小向東芝町1番地
東京芝浦電気株式会社総合研究所内
東京都目黒区山手町5丁目1番地の1
東京芝浦電気株式会社目黒工場内

(2) 代 理 人

住所	東京都港区芝西久条山手町2番地 第17棟ビル	三木 武雄
氏名 (5743)	弁護士	三 木 武 雄
住所	同 所	小 宮 幸 一
氏名 (5884)	弁護士	小 宮 幸 一
住所	同 所	坪 井 淳 一
氏名 (5881)	弁護士	坪 井 淳 一
住所	同 所	河 井 将 次
氏名 (7043)	弁護士	河 井 将 次

Partial Translation of JP-A 51-35215

Part A (Page 1)

2. WHAT IS CLAIMED IS:

A facsimile receiving system in which an AND operation or an OR operation is implemented on every binarized pixel signal having the same timing in a main scan direction in two adjacent scan lines, and a recording is carried out in a gap portion between the two scan lines based on these calculated values.

Part B (Page 2)

With reference to drawings, examples of the inventions will be described hereinbelow. Fig. 1 is a block diagram showing a substantial part of a facsimile receiving apparatus in which a black-and-white binarized facsimile pixel signal is stored on every one scan line, and an AND operation of the pixel signal having the same timing in a main scan direction between the adjacent scan lines is implemented, and this AND operation signal is filled between the adjacent scan lines. In this figure, each of A, B, and C is a line memory for storing the pixel signal for one scan line. In these line memories A, B, and C, scan line information on a-th, (a+1)th, and (a+2)th times are written via switching devices 1, 2, and 3, respectively.

Subsequently, each of the line memories A, B, and C reads out the written information at a speed twice as high as a writing speed while the other two line memories write the scan line information of the following 2 lines, and writes the scan line information circularly via the switching devices 1, 2, and 3.

Accordingly, one line memory carries out a writing operation for a term T, and four reading operations at a double speed for the following term 2T.

As a result, two clock signals CP_1 and CP_2 are selectively supplied to each of the line memories A, B, and C via switching devices 4, 5, and 6. Here, a frequency of CP_2 is set twice as large as that of CP_1 .

AND circuits 7, 8, and 9 perform operations respectively so that scan line information of two lines stored in the line memories A and B, the line memories B and C, and the line memories C and A have the same timing in the main scan direction. Selection circuit D selectively extracts outputs of the line memories A, B, and C, and outputs of the AND circuits 7, 8, and 9 in accordance with a predetermined time pattern, and supplies them to recording means (not shown).

Note that control signals a, b, and c which are shown by (a), (b), and (c) in Fig. 2 are supplied to the switching devices 1, 2, and 3, and the switching devices 4, 5, and 6.